

## Tárgytematika

### Digitális rendszerek

NGB\_AU026\_1

**Tárgyfelelős neve:** dr. Keresztes Péter

**Félév:** 2011/12/2

**Beszámolási forma:** Vizsga

**Tárgy heti óraszám:** 4/0/0

**Tárgy féléves óraszám:** 0/0/0

---

### OKTATÁS CÉLJA

A mester-szintű, automatizálási szakirányban érdekelt villamosmérnök hallgatóknak jártasságot kell szerezniük a regiszter-átviteli szintű tervezésben, beleértve a hardver-leíró nyelvekkel történő modellezést és szimulációt, valamint a magasabb szintű szintézis alapvető módszereit is.

---

### TANTÁRGY TARTALMA

Bevezetés a VHDL nyelv szintaxisába, szemantikájába és alkalmazásaiba. Kapuk modellezése és szimulációja. Szinkron és Huffman-féle aszinkron hálózatok szimbolikus specifikációinak modellezése és szimulációja. Bevezetés a késleltetés-érzékeny logikai hálózatok elméletébe és alkalmazás-technikájába. Késleltetés-érzékeny hálózatok elvont szintű modellezése és szimulációja. Késleltetés-érzékeny aszinkron hálózatok tervezési folyamata.

A magasabb szintű szintézis alapvető módszerei és algoritmusai, ütemezés és allokációk.

Pipe-line és visszacsatolt szinkron és DI aszinkron rendszerek tervezése mintapéldák megoldásával.

---

### SZÁMONKÉRÉSI ÉS ÉRTÉKELÉSI RENDSZERE

---

### KÖTELEZŐ IRODALOM