

Tárgytematika / Course Description

Digitális hálózatok

NGB_AU001_1

Tárgyfelelős neve /

Teacher's name: dr. Keresztes Péter

Félév / Semester: 2018/19/1

Beszámolási forma /

Assesment: Vizsga

Tárgy heti óraszám /

Teaching hours(week): 5/0/0

Tárgy féléves óraszám /

Teaching hours(sem.): 0/0/0

OKTATÁS CÉLJA / AIM OF THE COURSE

A tárgy célja, hogy az informatikus hallgatók megismerjék a számítógépek hardver felépítésének, illetve a hardver tervezésének alapelveit, és a tervezési folyamat kapu- és regiszter-átviteli szintjein tervezési készséggel rendelkezzenek.

TANTÁRGY TARTALMA / DESCRIPTION

- 1.hét A logikai és a kapcsoló-algebra alapjai
 - 2.hét Logikai függvények és kombinációs hálózatok
 - 3.hét A logikai függvények egyszerűsítése
 - 4.hét Logikai függvények implementációi kétszintű kapu-hálózatokkal
 - 5.hét Hazárdok kombinációs hálózatokban, kiküszöbölésük.
 - 6.hét A sorrendi hálózatok fogalma, osztályozásuk
 - 7.hét Szekvenciális tároló és flip-flop elemek
 - 8.hét Szinkron sorrendi hálózatok tervezésének lépései
 - 9.hét Szinkron számlálók és alkalmazásuk sorrendi hálózatok tervezésére
 - 10.hét Számláló bázisú vezérlő egységek tervezése
 - 11.hét Aszinkron hálózatok tervezésének lépései
 - 12.hét Sorrendi hálózatok kezdeti állapotának beállítása
 - 13.hét Állapot-összevonási módszerek
 - 14.hét Állapotkódolási módszerek a kritikus versenyhelyzetek elkerülésére
 - 15.hét A regiszter-átviteli szint legfontosabb építőelemei, összetett digitális egységek
-

SZÁMONKÉRÉSI ÉS ÉRTÉKELÉSI RENDSZERE / ASSESSMENT'S METHOD

SZÁMONKÉRÉS ÉS ÉRTÉKELÉSI RENDSZERE

A hallgatók a félév végén írásbeli kollokviumon adnak számot tudásukról. A feladatok tervezési példák, és egy elméleti kérdés.

A kollokviumon megoldandó feladatok témakörei:

- Kombinációs hálózatok tervezése
- Szinkron M-S tároló, illetve szinkron szekvenciális hálózat tervezése verbális specifikáció vagy állapotgráf/állapottábla alapján
- Aszinkron hálózat tervezése verbális specifikáció vagy állapotgráf/állapottábla alapján
- Egyszerű, számláló bázisú vezérlő-egység tervezése
- Elméleti kérdés a teljes tananyag valamelyik témaköréből

Félévközi követelmények teljesítésének és azok pótlásának ütemezése:

1. beszámoló (gyakorlati): 6.hét

1. beszámoló (pótlás): 7.hét

2. beszámoló (gyakorlati): 9.hét

2. beszámoló (pótlás): 10.hét

3. beszámoló (zárthelyi dolgozat a féléves elméleti anyagból): 12.hét

3. beszámoló (pótlás): 13.hét

A sikertelen vizsgák pótlása illetve a sikeres vizsgák javítása a TVSZ előírásai szerint történhet.

Az értékelési rendszerrel, valamint a tantárggyal kapcsolatos egyéb aktuális információk (oktatói fogadóóra, konzultációs lehetőségek, egyéni konzultációs időpontok esetleges változásai, zárthelyi és vizsgaeredmények, stb.) a www.sze.hu/~somi címen találhatóak. Ezek figyelemmel kísérése feltétlenül javasolt.

KÖTELEZŐ IRODALOM / OBLIGATORY MATERIAL

1. dr. Keresztes Péter : Digitális hálózatok
Nyomtatott egyetemi jegyzet, illetve elektronikus jegyzet
2. dr. Hosszú Gábor, dr Keresztes Péter : VHDL alapú rendszertervezés
Novella Kiadó, Budapest (Megjelenés alatt)