

## **Tárgytematika**

### **Digitális rendszerek**

**LGM\_AU010\_1**

**Tárgyfelelős neve:** dr. Keresztes Péter

**Félév:** 2014/15/1

**Beszámolási forma:** Vizsga

**Tárgy heti óraszám:** 0/0/0

**Tárgy féléves óraszám:** 12/0/0

---

### **OKTATÁS CÉLJA**

A mester-szintű, automatizálási szakirányban érdekelt villamosmérnök hallgatóknak jártasságot kell szerezniük a regiszter-átviteli szintű tervezésben, beleértve a hardver-leíró nyelvekkel történő modellezést és szimulációt, valamint a magasabb szintű szintézis alapvető módszereit is.

---

### **TANTÁRGY TARTALMA**

1. Bevezetés a VHDL nyelv szintaxisába, szemantikájába és alkalmazásaiba.
2. Kapuk modellezése és szimulációja. Szinkron és Huffman-féle aszinkron hálózatok szimbolikus specifikációinak modellezése és szimulációja.
3. Bevezetés a késleltetés-érzékeny logikai hálózatok elméletébe és alkalmazás-technikájába. Késleltetés-érzékeny hálózatok elvont szintű modellezése és szimulációja.
4. Késleltetés-érzékeny aszinkron hálózatok tervezési folyamata.
5. A magasabb szintű szintézis alapvető módszerei és algoritmusai, ütemezés és allokációk.
6. Pipe-line és visszacsatolt szinkron és DI aszinkron rendszerek tervezése mintapéldák megoldásával.

---

### **SZÁMONKÉRÉSI ÉS ÉRTÉKELÉSI RENDSZERE**

A félév folyamán számítógépes feladat-megoldó gyakorlatokon mutatott teljesítmény alapján a hallgatók kollokvium előtti előzetes értékelése megtörténik. Ez a kvalifikáció, valamint az írásbeli és szóbeli vizsgán mutatott teljesítmény alapján alakul ki az érdemjegy.

---

### **KÖTELEZŐ IRODALOM**

1. Keresztes Péter : Digitális rendszerek. Számítógépes jegyzet.  
Elérhető az Automatizálási Tanszék honlapján, Keresztes Péter oktatói oldaláról.
2. Dr. Hosszú Gábor, Dr. Keresztes Péter : VHDL alapú rendszertervezés  
Novella Kiadó, Budapest (Megjelenés alatt)
3. Daniel Gajsky és mások : High Level Synthesis, Introduction to Chip and System Design  
Kluwer Academic Publishers, 1993.